

Laboratorio di Architettura degli Elaboratori I
Corso di laurea triennale in Informatica
Università degli Studi di Milano, A.A. 2019-2020

Nicola Basilico

7 Gennaio 2020

Simulazione d'esame (Turno A)

- L'esame ha una durata di 2 ore.
- È possibile consultare il libro di testo, appunti e la documentazione di Logisim.
- È proibito l'accesso ad Internet con qualsiasi mezzo.
- Verranno corretti solo gli esercizi che non generano errori.
- I sorgenti vanno uploadati su <https://upload.di.unimi.it/>

Esercizio 1

Upload: `esercizio1.circ`

Si sintetizzi un circuito per la funzione logica definita da E , preferibilmente dopo averla semplificata:

$$E = \left(a \oplus (b \wedge c) \right) \vee \left(\overline{a \oplus ((a \vee b \wedge c) \wedge (\bar{a} \vee b \wedge c))} \right) \wedge d$$

Nota: date due espressioni booleane E_1 ed E_2 , $\overline{E_1}$ indica la negazione di E_1 (NOT); $E_1 \wedge E_2$ indica l'AND tra E_1 ed E_2 ; $E_1 \vee E_2$ indica l'OR tra E_1 ed E_2 ; $E_1 \oplus E_2$ indica l'OR esclusivo (XOR) tra E_1 ed E_2 .

Esercizio 2

Upload: `esercizio2.circ`

Si implementi il circuito di un multiplexer a tre ingressi (a , b e c). Si estenda poi tale circuito in modo che il segnale di selezione non utilizzato per la scelta dell'input venga impiegato per porre sull'uscita la funzione logica $a \vee c \wedge b$.

Esercizio 3

Upload: `esercizio3-4.circ`

Si realizzi un circuito M che riceva in ingresso una sequenza temporale di bit $b(t)$, un segnale asincrono di reset r e che emetta in uscita un segnale ad un bit ω . L'uscita, inizialmente posta a 0, passa stabilmente a 1 al primo riconoscimento della sotto-sequenza (0, 1, 0). Una volta effettuato tale riconoscimento, il circuito non effettua più alcuna transizione a meno che non venga inviato il segnale r che riporta il circuito allo stato iniziale in modo asincrono.

Esercizio 4

Upload: `esercizio3-4.circ`

Si ri-utilizzi il circuito prodotto nell'esercizio precedente in modo da realizzare un circuito esteso descritto di seguito.

Il circuito riceve in ingresso due sequenze temporali di bit indicate con $b(t)$ e $c(t)$ e un segnale asincrono di reset r . In uscita sono presenti due led chiamati $led1$ e $led2$. Il circuito lavora attraversando due fasi.

- *Fase 1:* entrambi i led sono spenti e lo stream $c(t)$ viene ignorato (il circuito processa solo $b(t)$).

- *Fase 2*: *led1* è acceso e lo stream $b(t)$ viene ignorato (il circuito processa solo $c(t)$).

Il circuito è inizialmente in fase 1. In questa fase, non appena viene riconosciuta la sotto-sequenza $(0,1,0)$ in $b(t)$, *led1* viene acceso e si passa alla fase 2. Nella fase 2 il circuito conta quanti zeri compaiono nello stream $c(t)$. Non appena sono stati osservati 15 zeri (non necessariamente consecutivi), anche *led2* viene acceso. Una volta che entrambi i due led sono accesi, l'unico modo per spegnerli è quello di riportare il circuito in fase 1 dando il segnale di reset asincrono.